

8. 論理回路

1. 目的

デジタル回路における基本回路のひとつであるフリップフロップとその応用回路について理解を深めることを目的とする。ここではフリップフロップの応用として、レジスタ回路、カウンタ回路に関する実験を行う。

2. 原理

フリップフロップは0または1を記憶する最も基本的な素子である。また、フリップフロップは順序回路を形成するための基礎になるものであり、デジタル回路では非常に重要な素子でもある。フリップフロップにはその動作方法によってRS (Reset Set) フリップフロップ、D (Delay) フリップフロップ、JKフリップフロップなどがある。また、そのトリガ方式の違いによりレベルトリガ、エッジトリガ、マスタスレーブ形のフリップフロップがある。

2.1 RSフリップフロップ

RSフリップフロップの論理記号とNAND回路を使った論理回路を図1に示す。RSフリップフロップはセット ($\bar{S}$)、リセット ($\bar{R}$) 入力によりその状態を変えることのできるフリップフロップで、正規出力 (Q) と相補出力 ($\bar{Q}$) に記憶された状態が出力される。論理記号の $\bar{}$ は $\bar{R}$ と $\bar{S}$ の入力は負論理であることを示している。電圧値でLOW信号(TTLでは0.8V以下、CMOSでは2.5V以下)、すなわち論理値で0がこの回路の入力信号となる。表1にその真理値表を示す。 $\bar{S}$ と $\bar{R}$ が共に0の場合は禁止状態で出力は共に1である。 $\bar{S}$ が0、 $\bar{R}$ が1の時フリップフロップはセットされ Q は1となる。そのとき、その相補出力 $\bar{Q}$ は0である。 $\bar{S}$ が1、 $\bar{R}$ が0の時はリセットされ Q は0、 $\bar{Q}$ は1となる。 $\bar{S}$ と $\bar{R}$ が共に1のときは前の状態が保持される。RSフリップフロップはデータを一時的に保持すると言う意味からRSラッチ (掛け金) とも呼ばれる。

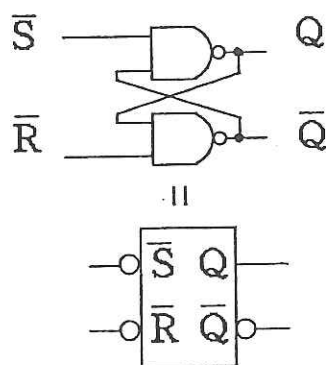


図 1

動作 状態	入 力		出 力	
	$\bar{S}$	$\bar{R}$	Q	$\bar{Q}$
禁止状態	0	0	1	1
セット	0	1	1	0
リセット	1	0	0	1
ホールド	1	1	変化なし	

表 1

2.2 Dフリップフロップ

Dフリップフロップの論理記号を図2に示す。Dフリップフロップは1本のデータ入力線(D)とクロック入力線(CK)を持っている。図2(a)はレベルトリガ方式、図2(b)はエッジトリガ方式のDフリップフロップである(CKの所に>記号がついている)。レベルトリガ方式はCKへの入力信号の電圧がある一定レベル(スレッシュホールド:TTLでは2V、CMOSでは2.5V)を超えるとDの状態がQに出力され、CKがスレッシュホールド以下の時はDにいかなる変化があってもQの状態が保持される。また、エッジトリガ方式のDフリップフロップはCKの立ち上がりエッジでのみDの状態がQへ出力され、その他の時はQの状態は保持される。図3にエッジトリガ方式のDフリップフロップのタイミングチャートを示す。

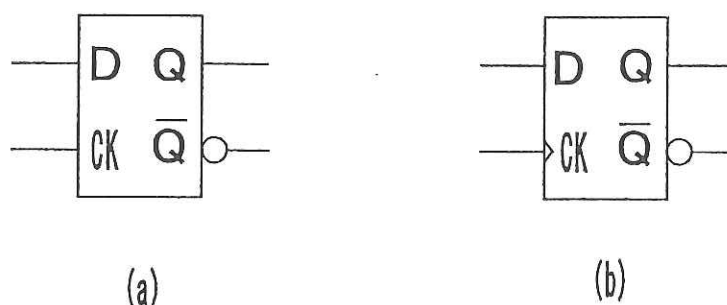


図2

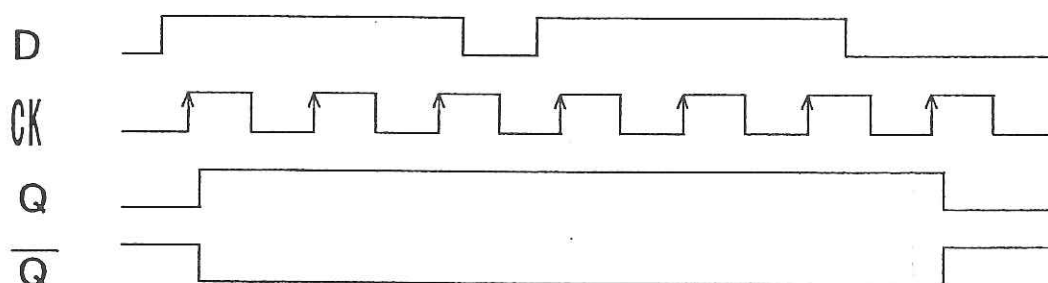


図3

2.3 JKフリップフロップ

JKフリップフロップの論理記号を図4に示す。JKフリップフロップには2本のデータ入力線(JおよびK)と1本のクロック入力線(CK)がある。一般的に、JKフリップフロップではマスタスレーブ(パルストリガ)方式と立ち下がりエッジトリガ方式のものがよく利用されている。マスタスレーブ方式はフリップフロップの入力(JおよびK)が出力Qに出力されるために1パルス全体を必要とするトリガ方式で、立ち下がり時点Qが変化するという意味では両トリガ方式とも同じである。表2にJKフリップフロップの真理値表を示す。JKともに0のときQは不変、Jが0でKが1のときCKの立ち下がりでQは0に変化、Jが1でKが0のときCKの立ち下がりでQは1に変化、JKがともに1のときCKの立ち下がりQはトグル動作(前の状態を反転)をする。JKフ

リップフロップを用いればT (Toggle) フリップフロップやDフリップフロップを簡単に作ることができ、万能なフリップフロップである。

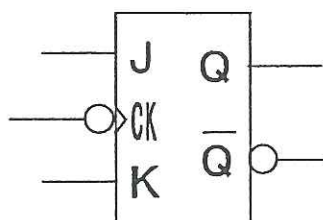


図4

動作 状態	入 力			出 力	
	CK	J	K	Q	$\bar{Q}$
ホールド	↓	0	0	不	変
リセット	↓	0	1	0	1
セット	↓	1	0	1	0
トグル	↓	1	1	反	転

表2

2.4 集積回路について

集積回路 (IC) はその集積度に応じてSSI (Small Scale Integration)、MSI (Medium Scale Integration)、LSI (Large Scale Integration)、VLSI (Very Large Scale Integration) などに分けられる。一般的にLSI以上になると特定用途向けのICが多く、SSIやMSIには汎用的に用いられる標準ロジック回路がある。最近では、PLD (Programmable Logic Device) やFPGA (Field Programmable Gate Array) を用いてLSIを汎用的に使うことができるようになった。また、特定用途向けにもASIC (Application Specific IC) などがよく利用されるようになった。

また、ICはその回路方式からTTL (Transistor Transistor Logic) とCMOS (Complementary Metal Oxide Semiconductor) に分けることができる。汎用ICには、TTL方式の74シリーズ (74LS, 74ALS, 74S, 74F, 74ASなど)、CMOS方式の4000/4500シリーズ、74HC、74ACがある。現在までロジックICは電源電圧5Vで使われてきたが、高速低電力化の要求から3.3V仕様のICも出現してきた。図5に汎用ロジックファミリの変遷を示す。

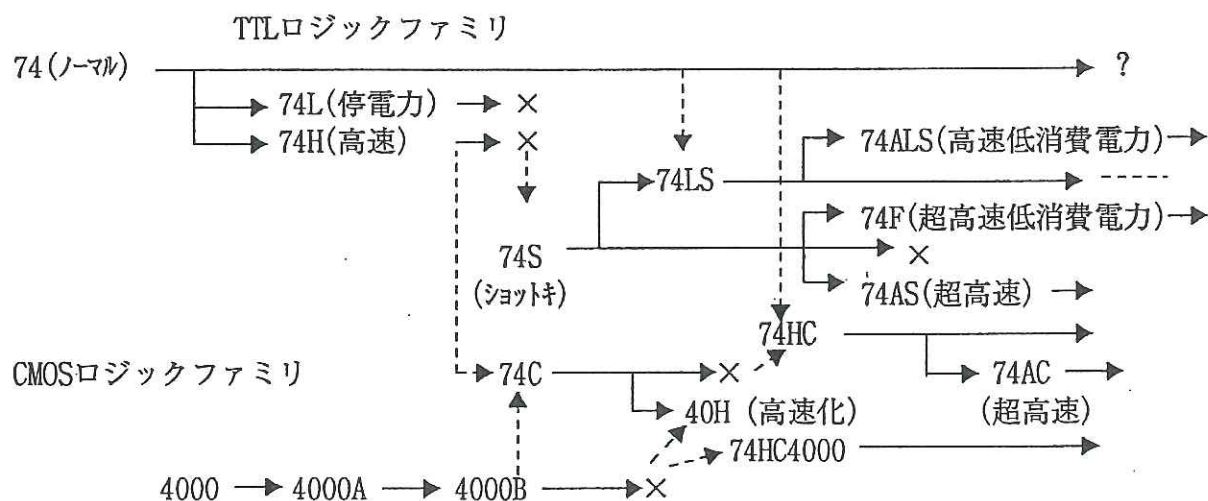


図5 汎用ロジックファミリ

2.5フリップフロップの応用回路

(1) Tフリップフロップ

Tフリップフロップはカウンタ回路の基本となる回路である。図6にDフリップフロップとJ Kフリップフロップを用いたTフリップフロップの回路図を示す。Dフリップフロップは立ち上がりエッジトリガ方式、J Kフリップフロップは立ち下がりエッジトリガ方式のフリップフロップである。

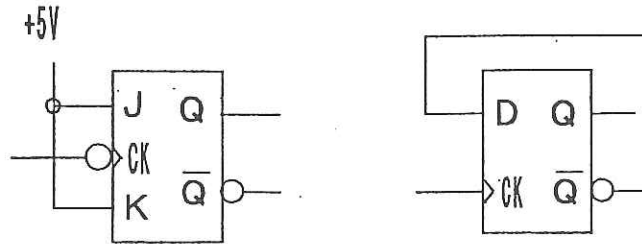
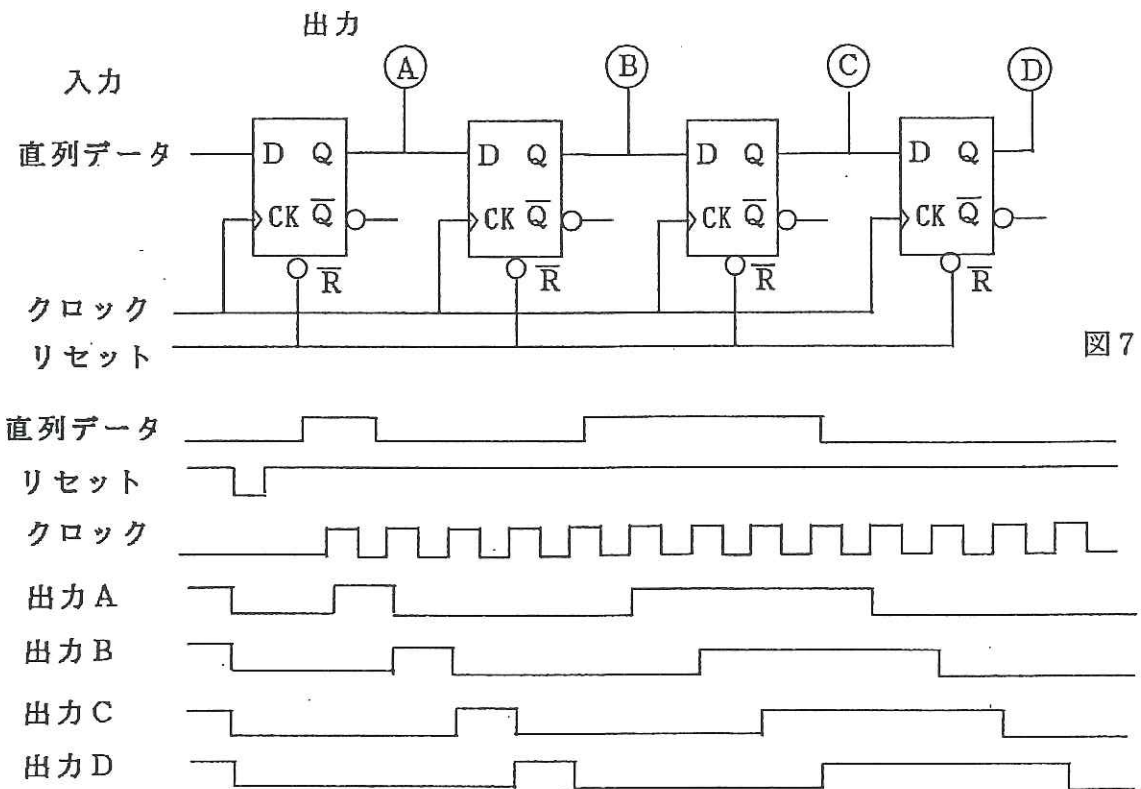


図6 Tフリップフロップ

(2) シフトレジスタ

シフトレジスタは記憶された状態をつぎつぎに横（右または左）にシフトする回路で、Dフリップフロップを用いて簡単に構成できる。図7にシフトレジスタの回路とタイミングチャートを示す。



(3) レジスタおよびラッチ

レジスタ（ラッチ）はコンピュータなどの一時記憶装置としてよく用いられる回路である。図8にDフリップフロップを用いた回路を示す。代表的なレジスタには74273や74374、ラッチには74373などがある。74273や74374はエッジトリガ方式のDフリップフロップ、74373はレベルトリガ方式のDフリップフロップ（Dラッチ）が用いられている。

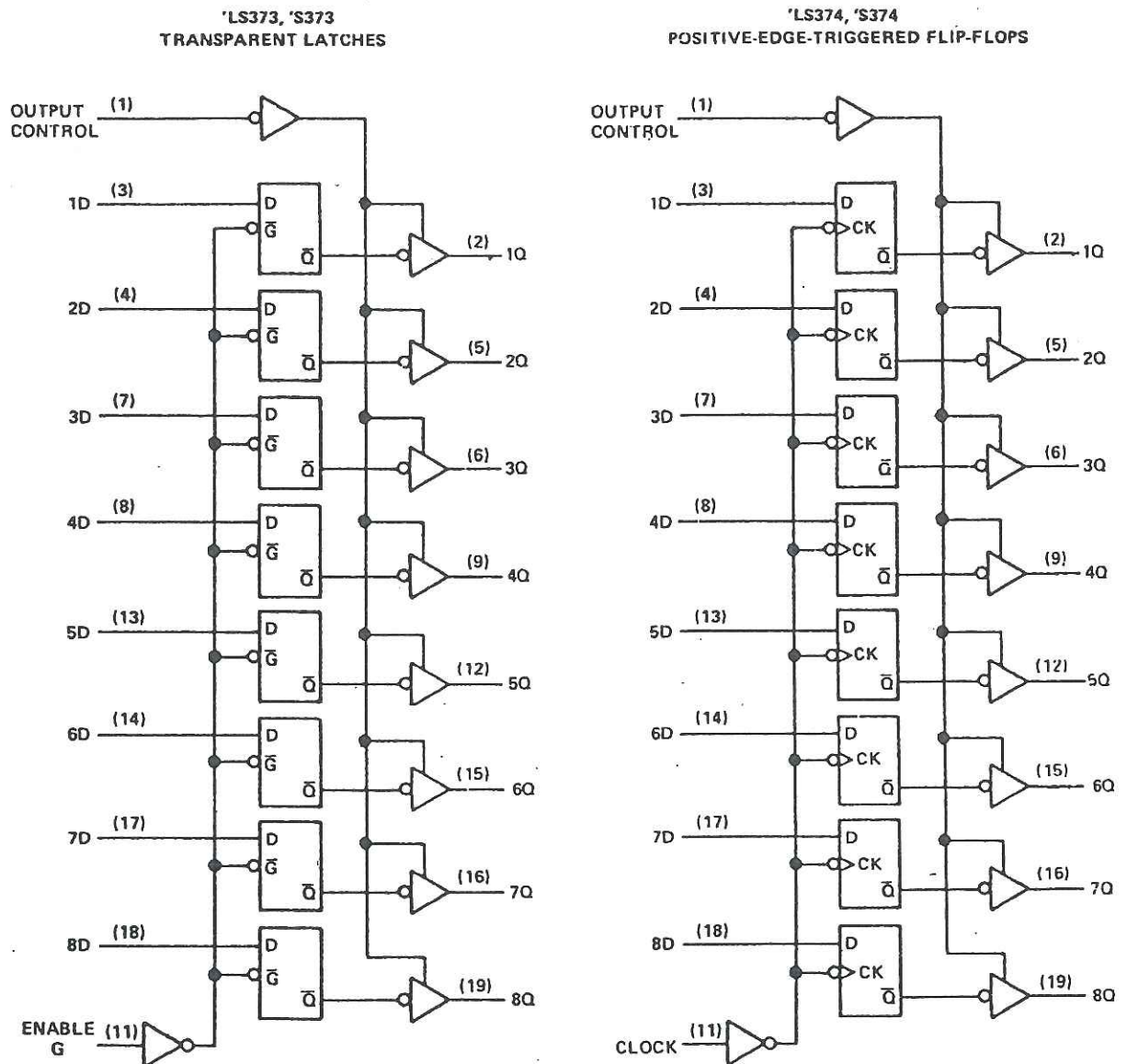


図8 レジスタとラッチ

(4) 非同期式カウンタ

カウンタは入力されたクロックの数をカウントする回路である。非同期式カウンタ (Asynchronous Counter) はリップルキャリーカウンタ (Ripple Carry Counter) と呼ばれ、カウンタ出力に段数の違いによる遅延が生じる欠点がある。しかしながら非常に簡単に構成できるため、遅延が問題にならない回路ではよく利用される。図9は、2ビット非同期カウンタの回路とタイミングチャートである。

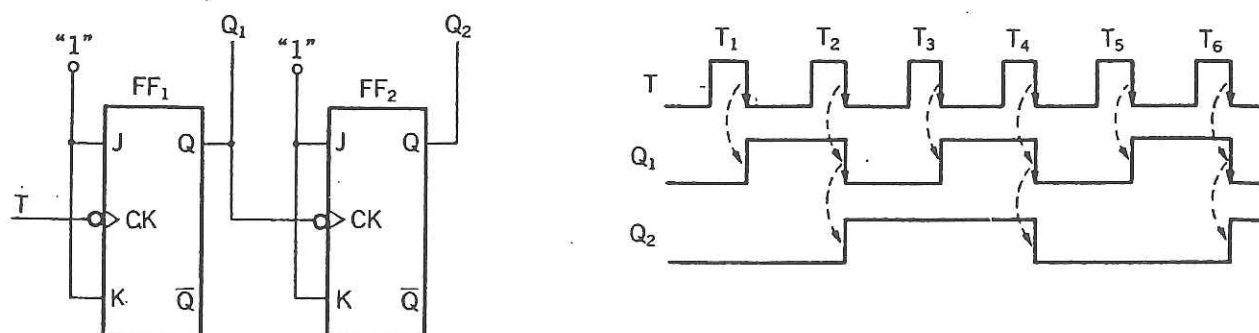


図9 2ビット非同期カウンタ

(5) 同期式カウンタ

同期式カウンタ (Synchronous Counter) は全ての段の出力のタイミングがそろっているカウンタである。回路が多少複雑になるが、タイミング設計が容易なためよく用いられる。図10は2ビットの同期式カウンタの回路とタイミングチャートである。

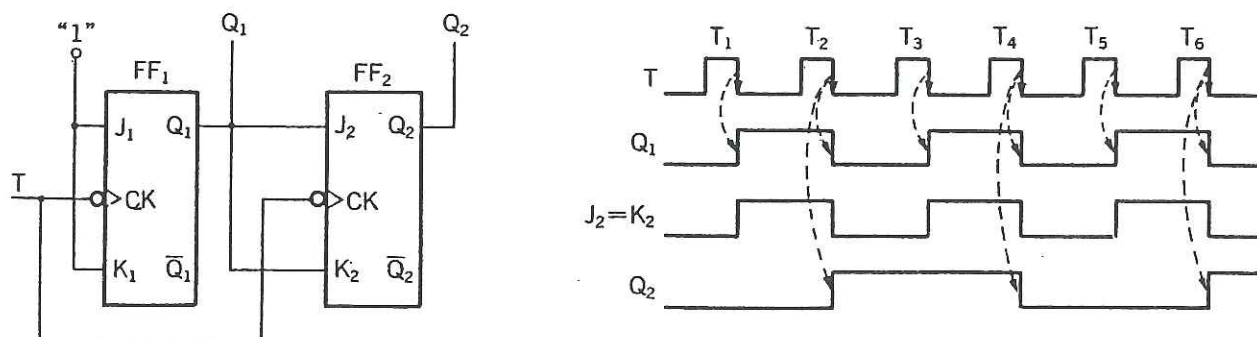
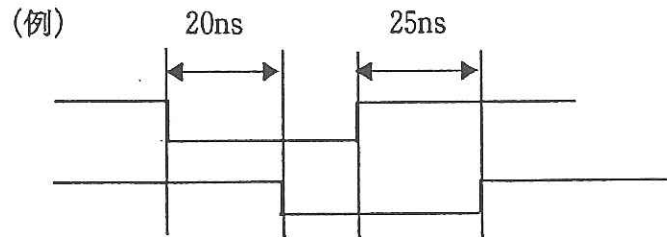


図10 2ビット同期カウンタ

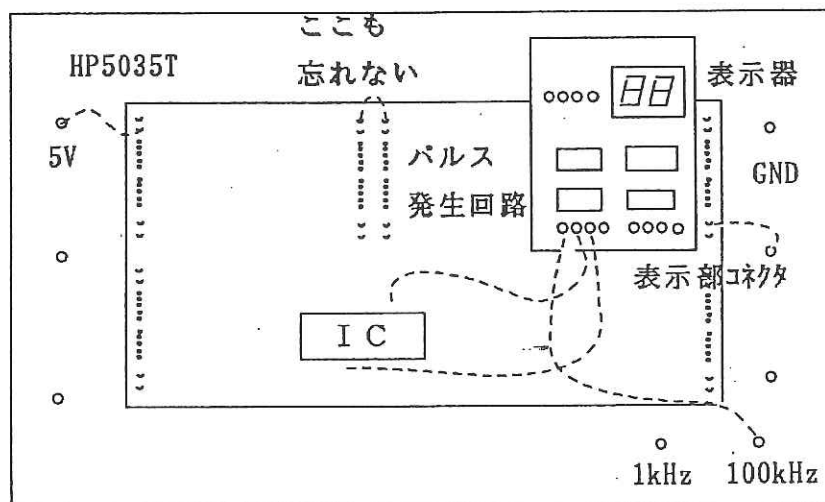
3. 実験

回路を組み立てロジックアナライザで入出力波形を観測し実験結果をレポートにまとめよ。紙上の回路では論理的な考察にとどまるが、実際の回路では信号の遅延時間が発生する。レポートには、実験により測定したタイミングチャートとそれらの信号間の遅延時間を正確に記すこと。



(使用機器)

パルス発生&表示回路、ロジックラボ(HP 5035T)、TTL IC、ロジックアナライザ(PC9801)



5V、GND、CLKは図のように接続する。

ロジックアナライザの使い方

- (1) フロッピーディスクを入れ電源を投入し、正しく起動されたことを確認後リターンキーを押す。
- (2) ファンクションキーにより各種設定を行う。ESCで中止することができる。

クロック . . . <-、->キーにより選択する。100kHzの時100ns程度にしておく。

トリガ . . . 何番のプロープでトリガするか選択する。

レベル . . . 立ち上がり、立ち下がりを選択する。

ライン . . . タイミングを測るときのラインを出す。矢印キー（上下左右）で動かすことができる。shiftキーを押せば速くなる。

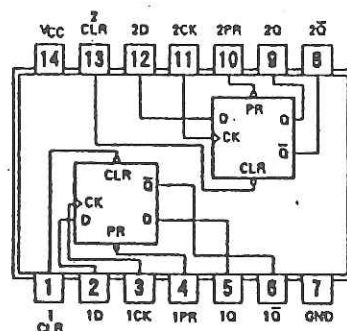
ネーム . . . 各プロープに名前を付ける。

(実験1)

パルス発生回路を使用しRSフリップフロップのタイミングチャートを描け。

(実験方法)

RSフリップフロップとして74LS74、74S74、74HC74を用いる。パルス発生器のSET、RESETを74XX74のS (PR)、R (CLR)に接続する。ロジックラボの100kHzのクロックをパルス発生器のCLKに接続する。それぞれの74についてロジックアナライザを用いてS、R、Q、 $\bar{Q}$ のタイミングを測定しタイミングチャートをグラフ用紙に記録する。電源(5V, GND)の接続を忘れないこと。



74XX74

(測定手順)

クロックを100nsに設定 → 100kHzをプローブ1、SETを2、RESETを3、Qを4に接続
→ トリガを押して1を選択、ESC → レベルを押して立ち上がり(ノーマルトリガ)を選択、ESC
→ スタートを押す。測定中になればOK、トリガを待ってます状態ならば接続を見直す
→ タイミングチャートを記録する → クロックを5nsに設定 → スタートを押す
→ ラインを押しタイミングの遅れを測定する → dTを記録する

(実験2)

パルス発生回路を使用しDフリップフロップのタイミングチャートを描け。

(実験方法)

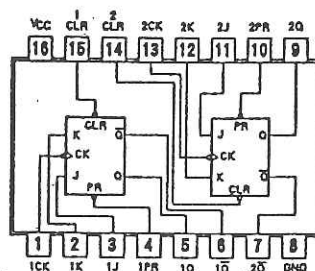
74LS74を使用する。パルス発生器のPULSEをCKに、100kHzをDに inputsする。74LS74のD、CK、Qについてロジックアナライザを用いてタイミングを測定しタイミングチャートをグラフ用紙に記録する。

(実験3)

パルス発生回路を使用しJKフリップフロップのタイミングチャートを描け。

(実験方法)

74LS112を用いる。J及びKを5Vに接続(プルアップ)し、CKにPULSEを入力する。CKとQについてロジックアナライザを用いてタイミングを測定しタイミングチャートをグラフ用紙に記録する。



74XX112

(実験4)

Dフリップフロップを用いて4ビットの非同期式カウンタ回路を構成しタイミングチャートを描け。

(実験方法)

74LS74を2個用いて図6のTフリップフロップ回路と図9の回路を参考に構成する。まず、クロックを1Hzに、カウンタの出力を表示部コネクタに接続しカウンタが正常に動作することを確認する。次に、クロックを100kHzにしてロジックアナライザでタイミングを測定する。

(実験5)

J Kフリップフロップを用いて4ビットの同期式カウンタを構成し、タイミングチャートを描け。

(実験方法)

74LS112を2個用いて図10の回路を参考にして構成する。実験4と同じ手順でおこなう。

4. 考察

- (1) レジスタ (74374) とラッチ (74374) の動作の違いを述べよ。
- (2) TTL回路とCMOS回路それぞれ長所と短所を述べよ。
- (3) デジタル回路におけるファンアウトとはいかなるものか。LS-TTLにLS-TTLをつなぐとき何個の素子をつなぐことができるか。
- (4) TTL回路とCMOS回路のスレッシュホールドとノイズマージンについて説明せよ。

5. 参考文献

トランジスタ技術 1994年 7月号 (図書館、情報科学センター、電気事務室にあります)
デジタル・システムの設計 CQ出版